

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-226088

(43)Date of publication of application : 22.08.1995

(51)Int.Cl. G11C 14/00  
 G11C 16/02  
 H01L 27/10  
 H01L 27/105  
 H01L 21/8247  
 H01L 29/788  
 H01L 29/792

(21)Application number : 06-040561

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 15.02.1994

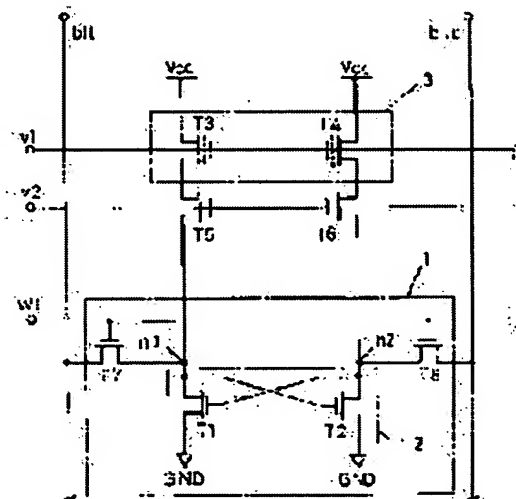
(72)Inventor : KOSHIZUKA ATSUO

## (54) SEMICONDUCTOR MEMORY

## (57)Abstract:

PURPOSE: To realize a non-volatile characteristic keeping a high speed characteristic of a static memory (SRAM).

CONSTITUTION: A flip flop 2 is constituted with two transistors T1, T2 in which sources are grounded respectively and each drain is connected to an gate of a partner transistor, while first and second selecting transistors T7, T8 are connected to the two transistors T1, T2 and a SRAM memory cell section 1 is constituted. Further, a non-volatile memory cell section storing a state of the SRAM memory cell section 1 is constituted with non-volatile transistors T3, T4 which has two gates of a floating gate and a control gate and of which a drain is connected to a power supply line. By connecting the nonvolatile memory cell section 3 to the SRAM memory cell section 1 through fifth and sixth transistors T5, T6, a high speed characteristic of the SRAM and a non-volatile characteristic of an EPROM, a Flash-EPROM and the like can be realized.



## LEGAL STATUS

[Date of request for examination] 10.07.2000

[Date of sending the examiner's decision of rejection] 30.07.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-226088

(43) 公開日 平成7年(1995)8月22日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 14/00				
16/02				
H 0 1 L 27/10	3 7 1	7210-4M		
G 1 1 C 11/ 40			1 0 1	
17/ 00			3 0 7 C	
審査請求	未請求	請求項の数 4	F D (全 6 頁)	最終頁に続く

(21) 出願番号 特願平6-40561

(22) 出願日 平成6年(1994)2月15日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 越塚 淳生

東京都千代田区大手町2-6-3 新日本  
製鐵株式会社内

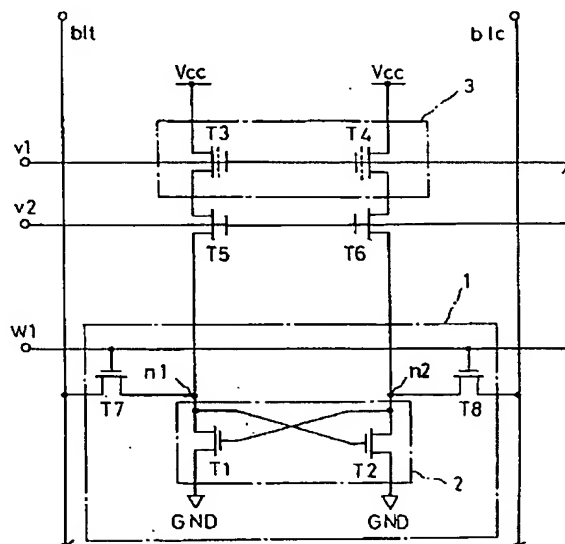
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 スタティックメモリ (SRAM) の高速性を保ちながら、不揮発性を実現できるようにすることを目的とする。

【構成】 ソースがそれぞれ接地され、ドレインが互いのトランジスタのゲートに接続された2つのトランジスタ T1、T2 でもってフリップフロップ2を構成するとともに、前記2つのトランジスタ T1、T2 に第1および第2の選択トランジスタ T7、T8 を接続して SRAM メモリセル部1を構成し、かつフローティングゲートとコントロールゲートの2つのゲートを備え、ドレインが電源ラインに接続された不揮発性トランジスタ T3、T4 により、前記 SRAM メモリセル部1の状態を記憶する不揮発性メモリセル部3を構成し、この不揮発性メモリセル部3を第5および第6のトランジスタ T5、T6 を介して前記 SRAM メモリセル部1に接続することにより、SRAM の高速性と EPROM や Flash-EPROM 等の不揮発性とを同時に実現できるようにする。



## 【特許請求の範囲】

【請求項1】 第1のトランジスタおよび第2のトランジスタによりフリップフロップが構成され、前記第1のトランジスタに第1の選択トランジスタが接続されるとともに、前記第2のトランジスタに第2の選択トランジスタが接続されているSRAMメモリセル部と、前記SRAMメモリセル部に接続されていて、前記SRAMメモリセル部の状態を記憶するための不揮発性メモリセル部とでメモリセルを構成したことを特徴とする半導体記憶装置。

【請求項2】 第1のトランジスタおよび第2のトランジスタによりフリップフロップが構成され、前記第1のトランジスタに第1の選択トランジスタが接続されるとともに、前記第2のトランジスタに第2の選択トランジスタが接続されているSRAMメモリセル部と、前記第1、第2のトランジスタにトランスファークゲートを介してそれぞれ接続され、フローティングゲートとコントロールゲートの2つのゲートを備えた第3、第4のトランジスタを備えた不揮発性メモリセル部とでメモリセルを構成したことを特徴とする半導体記憶装置。

【請求項3】 請求項2において、前記第1および第2のトランジスタはソースがそれぞれ接地されるとともに、ドレインが互いのトランジスタのゲートに接続されていて、かつ各々のドレインには前記トランスファークゲートがそれぞれ接続されていることを特徴とする半導体記憶装置。

【請求項4】 ソースがそれぞれ接地されているとともに、ドレインが互いのトランジスタのゲートに接続されている第1、第2のトランジスタによりフリップフロップが構成されるとともに、前記第1、第2のトランジスタのドレインに第1、第2の選択トランジスタが接続されているSRAMメモリセル部と、前記第1、第2のトランジスタのドレインにそれぞれ接続された第5、第6のトランジスタ、およびこれらの第5、第6のトランジスタを介して前記第1、第2のトランジスタのドレインにソースがそれぞれ接続されているトランジスタであって、これらのトランジスタはフローティングゲートとコントロールゲートの2つのゲートが設けられているとともに、ドレインが電源ラインに接続されている第3、第4のトランジスタを備えた不揮発性メモリセル部とでメモリセルを構成したことを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体記憶装置に関し、特に、不揮発性メモリセルを用いる半導体メモリデバイスに用いて好適なものである。

## 【0002】

【従来の技術】 現在製品化されている半導体メモリデバイスには、例えば、DRAM、SRAM、EPROM、

Flash-EPROM等がある。これらの半導体メモリデバイスのうち、DRAMは随時読み出し／書き込みが可能であり、大容量化に向いている（既に16M-bitが量産試作されている）が、リフレッシュ動作を必要とし、電源を切るとデータは消えてしまう問題がある。また、SRAMは高速で随時読み出し／書き込みが可能であるが大容量化には不向きであり、電源を切るとデータが保持されない問題がある。

【0003】これに対し、EPROMおよびFlash-EPROMの場合は、電源を切ってもデータが保持される利点を有している。しかし、前記EPROMおよびFlash-EPROMは、書き込み動作が前述したDRAMやSRAMと比較して3～5オーダー遅いので、読み出し／書き込みを随時に行うことができない問題がある。

## 【0004】

【発明が解決しようとする課題】 前述のように、従来のメモリデバイスは読み出し／書き込みを高速に行うことが可能なメモリデバイスは、電源を切るとデータが消えてしまう問題があった。また、電源を切ってもデータを保持することができるメモリデバイスは、読み出し／書き込みを随時に行うことができない問題があった。本発明は上述の問題点にかんがみ、スタティックメモリ（SRAM）の高速性を保ちながら、不揮発性を実現できるようにすることを目的とする。

## 【0005】

【課題を解決するための手段】 前記目的を解決するために本発明の半導体記憶装置は、第1、第2のトランジスタによりフリップフロップが構成され、前記第1、第2のトランジスタに接続された第1および第2の選択トランジスタを備えたSRAMメモリセル部と、前記SRAMメモリセル部に接続され、前記SRAMメモリセル部の状態を記憶する不揮発性メモリセル部との2つの部分でメモリセルが構成されている。

## 【0006】

【作用】 本発明は前述の技術手段を有するので、SRAMメモリセル部は通常のSRAMと同じ構成であり、したがって、高速動作が要求される場合には前記SRAMメモリセル部を用いて、通常のSRAMメモリと同様な高速動作が可能となる。また、メモリの動作終了時または定期的に、前記SRAMメモリセル部の情報を前記不揮発性メモリセル部のトランジスタに記憶させることで不揮発性が担保される。

## 【0007】

【実施例】 以下、本発明の半導体記憶装置の一実施例を図面を参照して説明する。本発明の半導体記憶装置の基本的な構成は、第1のトランジスタT1～第4のトランジスタT4によって構成されている。

【0008】 図1に示したように、第1のトランジスタT1および第2のトランジスタT2の各ソースは接地さ

れている。そして、第1のトランジスタT1のドレインが第2のトランジスタT2のゲートに接続されるとともに、第2のトランジスタT2のドレインが第1のトランジスタT1のゲートに接続されていて、これらの第1および第2のトランジスタT1、T2によりフリップフロップ2が構成されている。

【0009】また、第1トランジスタT1のドレインには第1の選択トランジスタT7が接続されているとともに、第2のトランジスタT2のドレインには第2の選択トランジスタT8が接続されている。これらの第1および第2の選択トランジスタT7、T8は、前記第1および第2のトランジスタT1、T2を選択的に動作させるために設けられているものであり、以上のトランジスタT1、T2、T7、T8により、SRAMメモリセル部1が構成されている。

【0010】さらに、第1のトランジスタT1のドレインには、第5のトランジスタT5のソースが接続されているとともに、第2のトランジスタT2のドレインには第6のトランジスタT6のソースが接続されている。これらの第5および第6のトランジスタT5、T6は、トランスファークロークとしてそれぞれ接続されているものである。

【0011】また、前記第5のトランジスタT5のドレインに第3のトランジスタT3のソースが接続されているとともに、第6のトランジスタT6のドレインには第4のトランジスタT4のソースが接続されている。これらのトランジスタT3およびT4は、いわゆる不揮発性のトランジスタであり、フローティングゲートとコントロールゲートの2つのゲートを備えている。そして、これらの第3のトランジスタT3および第4のトランジスタT4によって不揮発性メモリセル部3が構成されている。

【0012】これらのSRAMメモリセル部1および不揮発性メモリセル部3の詳細については、工業調査会から出版されている舩岡富士雄著の「躍進するフラッシュメモリ」に構造動作原理が詳しく記載されている。なお、不揮発性メモリセル部3のトランジスタT3、T4としては、フローティングゲートとコントロールゲートの2つのゲートを備えていればよく、各種のタイプのメモリ構造を適用することができる。

【0013】上述したように、本実施例の半導体記憶装置はトランジスタT1、T2、T7、T8でもってSRAMメモリセル部1を構成しており、第1の選択トランジスタT7および第2の選択トランジスタT8の各ゲートに、このメモリセルを選択するための選択信号線w1が接続されている。

【0014】また、前記SRAMメモリセル部1からデータを読み出したり、或いは前記SRAMメモリセル部1にデータを書き込んだりするための信号線b1t、b1cが、前記第1の選択トランジスタT7および第2の

選択トランジスタT8にそれぞれ接続されている。

【0015】上述したように、第3のトランジスタT3および第4のトランジスタT4は、コントロールゲートとフローティングゲートを有するトランジスタであり、コントロールゲートは第1の信号線v1に接続されている。

【0016】なお、第5のトランジスタT5および第6のトランジスタT6は、前述したように、不揮発性メモリセル3とSRAMメモリセル部1とを接続するトランスファークロークとなっており、これらのトランジスタT5およびT6のゲートは、第2の信号線v2に接続されている。

【0017】次に、図1に示した回路の動作を説明する。まず、始めにSRAM動作について説明する。SRAM動作時には、第1の信号線v1および第2の信号線v2はローレベル（接地線レベル）に固定される。この場合、SRAMメモリセル部1に保持されるデータは第1のノードn1および第2のノードn2のレベルにより決まる。

【0018】例えば、第1のノードn1がハイレベル、第2のノードn2がローレベルであるとする。この場合、読み出し動作を考えると、選択信号線w1がローレベル（接地線レベル）の場合は、SRAMメモリセル部1は非選択であり、データはメモリセルから出力されない。

【0019】また、選択信号線w1がハイレベルになると、第1の選択トランジスタT7および第2の選択トランジスタT8がオンする。これにより、一方の信号線b1tにローレベルが出力され、他方の信号線b1cにハイレベルが出力される。

【0020】次に、書き込み動作を考えると、選択信号線w1がローレベル（接地線レベル）の場合はSRAMメモリセル部1は非選択であり、データはメモリセルに書き込まれない。そして、選択信号線w1がハイレベルになると、第1の選択トランジスタT7および第2の選択トランジスタT8がオンするので、一方の信号線b1tにローレベルが出力されるとともに、他方の信号線b1cにハイレベルが出力されると、第1のノードn1には、第1の選択トランジスタT7を通して一方の信号線b1tのローレベルが書き込まれる。

【0021】また、他方の信号線b1cがハイレベルであるから、第2のノードn2には第2の選択トランジスタT8を通して他方の信号線b1cのハイレベルが書き込まれることになる。

【0022】以上のようにして、本実施例の半導体記憶装置は、通常の動作時にはSRAMメモリセル部1を使って高速のメモリ動作が行われる。そして、電源切断直前等のメモリ使用終了時、もしくは一定時間毎に、以下に示す動作によりSRAMメモリセル部1から不揮発性メモリセル部3へのデータの待避が行われる。

10

20

30

40

50

【0023】次に、SRAMメモリセル部1に書き込まれたデータを不揮発性メモリセル部3に書き込む動作（ストア動作）を説明する。なお、以下の説明においてはSRAMメモリセル部1に書き込まれているデータは、第1のノードn1がハイレベル、第2のノードn2がローレベルとなっているものとする。このような状態は、第1のトランジスタT1および第2のトランジスタT2よりなるフリップフロップ2によりセットされる。

【0024】不揮発性メモリセル部3にデータを書き込む場合は、まず、選択信号線w1および第2の信号線v2にローレベル（接地レベル）の信号を印加するとともに、第1の信号線v1に負電位の電圧を印加して不揮発性メモリセル部3に書き込まれていた古いデータを消去する。すなわち、第3のトランジスタT3と第4のトランジスタT4のスレッシュホールドを負の値にし、かつほぼ同じにする。

【0025】このようにして、不揮発性メモリセル部3に書き込まれていた古いデータを消去し終わったら、次に、第1の信号線v1および第2の信号線v2、選択信号線w1にローレベル（接地レベル）の信号をそれぞれ印加する。

【0026】次に、選択信号線w1にローレベル（接地レベル）の信号を印加するとともに、第1の信号線v1には正電位の高電圧を印加し、かつ第2の信号線v2にはハイレベルの信号を印加する。これにより、第3～第6のトランジスタT3、T4、T5、T6はそれぞれオンする。

【0027】この時に、第2のノードn2はローレベルであるから、第1のトランジスタT1のゲートにはローレベルが印加される。したがって、第1のトランジスタT1はオフしており、第5のトランジスタT5および第3のトランジスタT3には電流が流れない。このため、第3のトランジスタT3のスレッシュホールドは変化しない。

【0028】一方、第1のノードn1はハイレベルであるから、第2のトランジスタT2のゲートにはハイレベルが印加される。したがって、第2のトランジスタT2はオンしており、第4のトランジスタT4および第6のトランジスタT6には第2のトランジスタT2を通して電流が流れる。この電流により、第4のトランジスタT4のフローティングゲートにホトエレクトロン注入が起こって電子が注入されるので、スレッシュホールドを高くして正の値にする。

【0029】次に、第1および第2の信号線v1、v2および選択信号線w1にローレベル（接地レベル）の信号を印加することにより、SRAMメモリセル部1から不揮発性メモリセル部3へのデータのストアが完了する。

【0030】本実施例の半導体記憶装置は、使用されているシステム立上げ時等において、不揮発性メモリセル

部3に待避させておいたデータをSRAMメモリセル部1へ書き込む動作（リコール動作）を行うようにしている。

【0031】次に、不揮発性メモリセル部3に書き込まれているデータをSRAMメモリセル部1に書き込む動作（リコール動作）を説明する。不揮発性メモリセル部3に書き込まれているデータは、第3のトランジスタT3および第4のトランジスタT4のスレッシュホールドが正の値か負の値かで決まる。

【0032】いま、不揮発性メモリセル部3の第3のトランジスタT3のスレッシュホールドが負の値で、第4のトランジスタT4のスレッシュホールドが正の値である場合を例にしてリコール動作を説明する。まず、第1の信号線v1および第2の信号線v2にローレベル（接地レベル）の信号を印加し、選択信号線w1にハイレベルの信号を印加する。これにより、第1の選択トランジスタT7および第2の選択トランジスタT8がオンとなる。

【0033】この状態で、一方の信号線b1tおよび他方の信号線b1cをローレベル（接地レベル）にして、第1のノードn1および第2のノードn2のレベルをローレベル（接地レベル）にする。次に、第1の信号線v1および選択信号線w1にローレベル（接地レベル）の信号を印加するとともに、第2の信号線v2にハイレベルの信号を印加して、第5のトランジスタT5および第6のトランジスタT6をオンさせる。

【0034】このように、第5のトランジスタT5および第6のトランジスタT6をオンさせても、第4のトランジスタT4のスレッシュホールドは正の値であるため電流は流れない。

【0035】それに対し、第3のトランジスタT3はそのスレッシュホールドが負の値であることから、第5のトランジスタT5を通して第1のノードn1に電流が流れ込むことになる。これにより、第1のノードn1のレベルが上がり、SRAMメモリセル部1にデータが書き込まれる。次に、第1の信号線v1、第2の信号線v2および選択信号線w1にローレベルの信号を印加してリコール動作を終了する。

【0036】なお、本発明を理解しやすくするために、図1には要部のみを記載したが、実際に記憶装置のメモリセルとして使用する場合には、図2に示すように、第1のトランジスタT1および第2のトランジスタT2のドレインにインダクタンス素子Zを接続する必要がある。

【0037】このようなインダクタンス素子Zとしては、図3(a)に示すような抵抗素子や、図3(b)に示すようなトランジスタの接合抵抗、図3(c)に示すようなダイオードの接合抵抗等を用いることができる。

【0038】以上説明したように、本実施例の半導体記憶装置においては、通常動作時はSRAMメモリセル部1を用いて記憶／読み出し動作を高速に行うことができ

10

20

30

40

50

る。また、メモリ動作終了時には不揮発性メモリセル部3にデータを退避させることができるので、SRAMの高速性とEPROMやFlash-EPROM等の不揮発性とを同時に実現することができる。

【0039】

【発明の効果】本発明は上述したように、2つのトランジスタでもってフリップフロップを構成するとともに、これら2つのトランジスタに第1および第2の選択トランジスタを接続してSRAMメモリセル部を構成し、かつ前記SRAMメモリセル部の状態を記憶する不揮発性メモリセル部を前記SRAMメモリセル部に接続してメモリセルを構成したので、SRAMの高速性とEPROMやFlash-EPROMの不揮発性とを同時に実現した半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の一実施例を示す回路図である。

【図2】本発明の一実施例の詳細を示す回路図である。

【図3】図2の回路におけるインダクタンス素子の例を示す説明図である。

\*【符号の説明】

1 SRAMメモリセル部

2 フリップフロップ

3 不揮発性メモリセル

T1 第1のトランジスタ

T2 第2のトランジスタ

T3 第3のトランジスタ

T4 第4のトランジスタ

T5 第5のトランジスタ

10 T6 第6のトランジスタ

T7 第1の選択トランジスタ

T8 第2の選択トランジスタ

n1 第1のノード

n2 第2のノード

w1 選択信号線

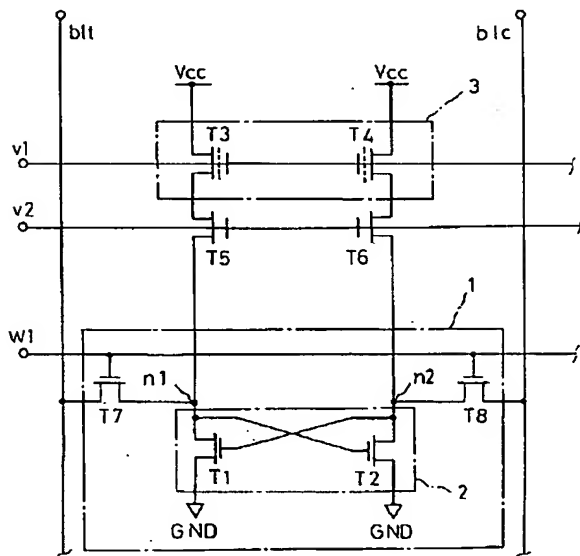
v1 第1の信号線

v2 第2の信号線

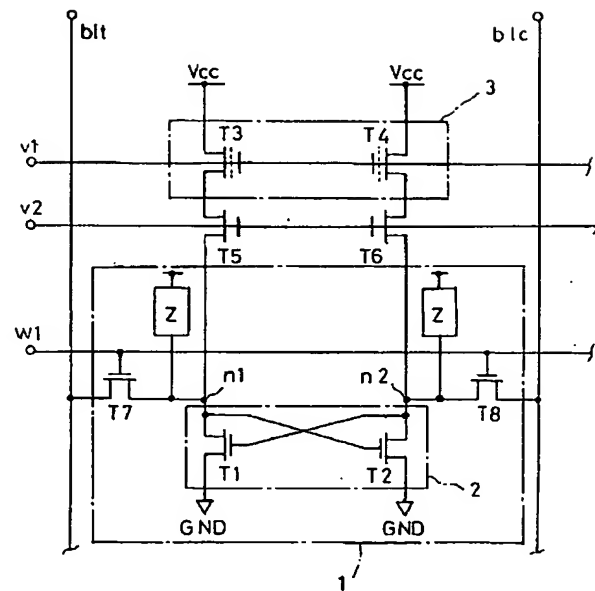
blt 一方の信号線

blc 他方の親信号線

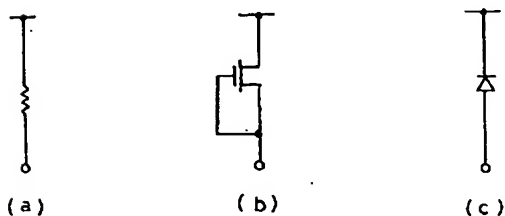
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.<sup>6</sup>H 0 1 L 27/105  
21/8247  
29/788  
29/792

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H 0 1 L 27/10  
29/784 4 1  
3 7 1